

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-041022

(43)Date of publication of application : 08.02.2000

(51)Int.Cl.

H04J 13/00

H04B 7/26

H04L 7/00

(21)Application number : 10-206153

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 22.07.1998

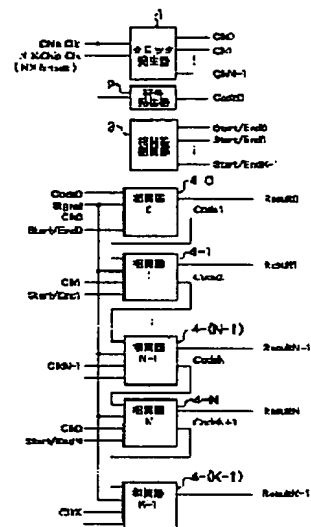
(72)Inventor : SHUTO MASAYUKI
AMAZAWA TAIJI

(54) SYNCHRONIZING CAPTURE CIRCUIT AND COMMUNICATION TERMINAL EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten time required for synchronizing capture through code generators are required as many as correlators to result in the magnification of the circuit scale, on the other hands.

SOLUTION: While specifying the phase of a spreading code with which the output of high correlation with a received signal appears, the synchronizing capture circuit for synchronizing the received signal and spreading code is provided with following means, namely, a spreading code generator 2 for generating one spreading code based on a reference phase and plural correlators 4-0 to 4-(k-1) for successively and serially transferring the spreading code generated by the spreading code generator, generating a spreading code delaying a phase just for the number of steps from first one, and calculating the output of correlation between the spreading code and received signals parallelly inputted to all the steps for each step.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-41022

(P2000-41022A)

(43)公開日 平成12年2月8日(2000.2.8)

(51)Int.Cl.

識別記号

F I

テーマコード(参考)

H 0 4 J 13/00

H 0 4 J 13/00

A 5 K 0 2 2

H 0 4 B 7/26

H 0 4 L 7/00

C 5 K 0 4 7

H 0 4 L 7/00

H 0 4 B 7/26

N 5 K 0 6 7

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号 特願平10-206153

(22)出願日 平成10年7月22日(1998.7.22)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 周東 雅之

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 雨澤 泰治

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100090620

弁理士 工藤 宜幸

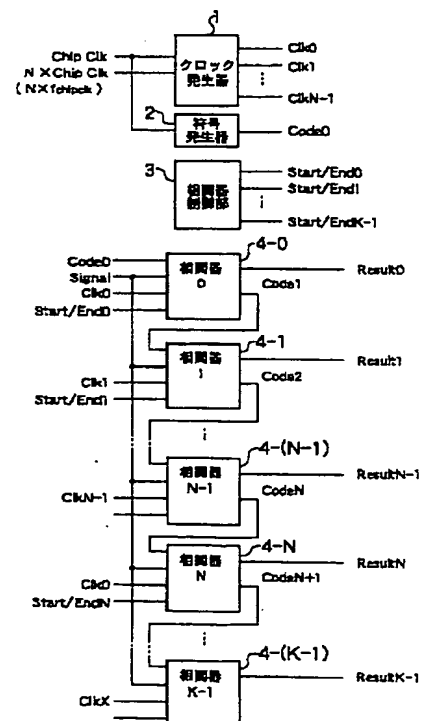
最終頁に続く

(54)【発明の名称】 同期捕捉回路及び通信端末装置

(57)【要約】

【課題】 同期捕捉にかかる時間の短縮が望まれる一方、そのためには、符号発生器が関連器数分だけ必要となり、回路規模が大型化となる。

【解決手段】 受信信号との間に高い相関出力が現れる拡散符号の位相を特定し、受信信号と拡散符号との符号同期を実現する同期捕捉回路に以下の手段を備えるようにする。すなわち、基準位相に基づいて1個の拡散符号を発生する拡散符号発生器と、拡散符号発生器で発生された拡散符号を順次直列転送して、初段からの段数分位相が遅延された拡散符号を生成し、その拡散符号と全段に並列に入力される受信信号との相関出力を各段ごとに算出する複数の相関器とを備えるようにする。



【特許請求の範囲】

【請求項1】 受信信号との間に高い相関出力が現れる拡散符号の位相を特定し、受信信号と拡散符号との符号同期を実現する同期捕捉回路であって、基準位相に基づいて1個の拡散符号を発生する拡散符号発生器と、

上記拡散符号発生器で発生された拡散符号を順次直列転送して、初段からの段数分位相が遅延された拡散符号を生成し、その拡散符号と全段に並列に入力される受信信号との相関出力を各段ごとに算出する複数の相関器とを備えることを特徴とする同期捕捉回路。

【請求項2】 請求項1に記載の同期捕捉回路を備え、その位相情報をを用い、呼を確立することを特徴とする通信端末装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、通信方式として符号分割多元接続(CDMA: code division multiple access)方式を採用する通信システム(デジタルセルラーシステム等)に適用し得るものである。

【0002】

【従来の技術】CDMA方式を採用する移動通信システムの受信機では、同期捕捉という符号同期確立機能が必須となる。ここで、同期捕捉とは、送信機が拡散に使用したのと同じ拡散符号を用いることにより、受信信号における拡散符号の位相を特定することをいう。

【0003】同期捕捉では、一般に、データ変調が行われていないチャネル又はシンボルに対して様々な位相による相関演算を行い、その相関パワーから拡散符号の位相を特定する。このため、同期捕捉には莫大な時間が必要となる。

【0004】例えば、分解能が $1/N$ であり、しかも処理対象である拡散符号長が L 、相関長が M である場合、同期捕捉にかかる時間は、図2に示すように、 $L \times M \times N$ [chip] で与えられる。なお、分解能を1 (すなわち $N=1$) とする場合、同期捕捉に要する時間は、 $L \times M$ [chip] となる。

【0005】

【発明が解決しようとする課題】その反面、伝搬環境の変動や利用者からの要望により、同期捕捉にかかる時間の短縮が望まれている。

【0006】この同期捕捉時間の短縮方法の一つに、複数の相関器を使用することが考えられる。しかし、この方法は、符号発生器が相関器数分だけ必要となり、回路規模が相関器数倍され大型化されてしまう。

【0007】本発明は以上の課題を考慮してなされたもので、回路規模が小さく、しかも、同期捕捉時間の短い同期捕捉回路を提案することを目的とする。また、かかる同期捕捉回路の使用によりパッケージが小さく、かつ、回線の切り替えに要する時間が短くて済む通信端末

装置を提案することを目的とする。

【0008】

【課題を解決するための手段】そこで、受信信号との間に高い相関出力が現れる拡散符号の位相を特定し、受信信号と拡散符号との符号同期を実現する本発明における同期捕捉回路においては、(1) 基準位相に基づいて1個の拡散符号を発生する拡散符号発生器と、(2) 拡散符号発生器で発生された拡散符号を順次直列転送して、初段からの段数分位相が遅延された拡散符号を生成し、その拡散符号と全段に並列に入力される受信信号との相関出力を各段ごとに算出する複数の相関器とを備えるようにする。

【0009】また、この同期捕捉回路を通信端末装置に備えるようにする。

【0010】このように、本発明における同期捕捉回路においては、複数の相関器それぞれに、拡散符号を逐次遅延して後段に与える機能を設けたため、受信信号との相関出力の算出と並行して位相の異なる複数の拡散符号の生成が可能となる。

【0011】従って、複数位相の拡散符号を用いた並列処理により同期捕捉に要する時間の短縮を図る一方、その際に必要となる複数位相の拡散符号を1個の拡散符号発生器で生成できるため、従来装置と比して装置の小型化を実現できる。

【0012】

【発明の実施の形態】図1に、本明細書において提案する同期捕捉回路の基本ブロック構成を示す。なお、図1では、 $1/N$ チップ精度で同期捕捉可能な同期捕捉回路について示すものとする。

【0013】同期捕捉回路は、1個のクロック発生器1と、1個の符号発生器2と、1個の相関器制御部3と、 K 個の相関器4-0~4-($K-1$) (以下、相関器0~相関器 $K-1$ で示す。)と、不図示の同期位相特定回路からなる。

【0014】最初に、各部の機能構成を説明する。

【0015】クロック発生器1は、チップクロックとその N 通倍の周波数を有する $N \times$ チップクロックを入力し、各クロックの位相をチップ時間 T の $1/N$ (すなわち、 T/N) 時間ずつ遅延した N 個のクロック $Clk0 \sim ClkN-1$ を生成する回路である。なお、クロック発生器1は、クロック $Clk0 \sim ClkN-1$ のそれぞれを、対応する相関器0~ $K-1$ に出力する。

【0016】符号発生器2は、相関器0の処理タイミングに合わせ、拡散符号(Code0)を1つ生成する回路である。このように、符号発生器2を1個だけ設ける点が、この同期捕捉回路の特徴である。

【0017】相関器制御部3は、相関長 M に従い、各信号の位相をチップ時間 T の $1/N$ (すなわち、 T/N) 時間ずつ遅延した K 個の相関開始/終了信号(Start/End)を生成する回路である。なお、相関器制御部3は、

相関開始/終了信号 (Start/End) のそれぞれを、対応する相関器 0 ~ K - 1 に出力する。

【0018】相関器 0 ~ K - 1 のそれぞれは、受信信号 (Signal) に対し並列に配置されており、クロック発生器 1 から与えられるクロックタイミングに同期したタイミングで、受信信号と符号との相関結果 (Result) を出力する回路である。

【0019】なお、相関器 0 ~ K - 1 のそれぞれは、拡散符号 (Code) に対し直列に配置されており、符号発生器 2 又は前段から与えられる拡散符号 (Code) を、順々に、チップ時間 T の $1/N$ (すなわち、 T/N) 時間ずつ遅延して後段の相関器に与えるようになっている。

【0020】続いて、以上の構成を有する同期捕捉回路による同期捕捉動作を、図 4 を用いて説明する。

【0021】なお、図 4 においては、 $N=4$ 、 $K=4$ とする場合、すなわち、4 個の相関器 0 ~ 3 のそれぞれに、チップ時間 T の $1/4$ 時間ずつ位相を異にする 4 種類のクロックを与える場合について説明する。

【0022】また、図 4 においては、予め多重サンプリングした (ここでは、チップクロックの 4 通倍のクロック速度でサンプリングした) 受信信号 (Signal) を、対応する相関器に与えるものとする。これは、同期捕捉回路による捕捉精度を高めるためである。

【0023】同期捕捉回路では、まず、相関器 0 が最初に動作する。相関器 0 は、相関開始/終了信号 (Start/End0) が「L」レベルに立ち下がった後に入力されるクロック Clk0 の立ち上がりタイミングに従い、受信信号 (Signal) と位相差 0 の拡散符号 (Code0) との相関値 $R_0(0)$ を算出する。

【0024】同時に、相関器 0 は、符号発生器 2 から入力した拡散符号 (Code0) を $1/4$ チップ時間遅延して拡散符号 (Code1) を生成し、これを次段の相関器 1 に対し出力する。

【0025】相関器 0 の動作開始から $1/4$ チップ時間後、相関器 1 が動作を開始し、受信信号 (Signal) と $1/4$ チップ時間遅延後の拡散符号 (Code1) との相関値 $R_1(0)$ を算出する。また、この相関器 1 も同様に、相関器 0 から入力した拡散符号 (Code1) を $1/4$ チップ時間遅延した拡散符号 (Code2) を次段の相関器 3 に出力する。

【0026】以下、 $1/4$ チップ時間が経過する度、相関器 2、相関器 3 が順番に動作を開始し、各拡散符号 (Code3、Code4) と受信信号との相関値 $R_2(0)$ 、 $R_3(0)$ を算出する。そして、最終段である相関器 3 が動作を開始してから $1/4$ チップ時間が経過すると、再び、初段の相関器 0 が次の相関値を算出し、以下同様の動作を繰り返すことになる。

【0027】かくして、本実施形態に係る同期捕捉回路では、1 チップ時間内に 4 つの相関値が算出されることになる。これを図で表すと、図 5 のようになる。なお、

図 5 は、一般的な場合について表したものである。従って、図中の K 及び N をそれぞれ 4 とすると、この実施形態の動作タイミングとなる。

【0028】このとき、この同期捕捉回路による同期捕捉時間は、 $(4 \times M + 3) \times L / 4$ で与えられる。なお、同期捕捉時間を求める一般式は、 $(N \times M + K - 1) \times L / K$ となる。因みに、分解能を 1 (すなわち $N=1$) とする場合、同期捕捉に要する時間は、 $(M + K - 1) \times L / K$ [chip] となる。

【0029】なお、この後、不図示の同期位相特定回路が、その最大値の得られた位相を特定し、受信信号と符号同期する拡散符号を生成する位相とする。

【0030】このように、本実施形態に係る構成の同期捕捉回路を通信端末装置に搭載すれば、符号発生器を 1 個のみ用いる従来装置に比して、その同期捕捉に要する時間を格段に短縮することが可能となる。

【0031】また、相関器を複数用いて同期捕捉に要する時間の短縮を図る従来装置に比しても、従来装置のように相関器数分の符号発生器を用意しなくて済むため、回路規模を格段に縮小することができる。

【0032】そして、かかる構成の同期捕捉回路を搭載することにより、当該回路を搭載する通信端末装置のパッケージの小型化と回線の切り替え時間の短縮を実現できる。

【0033】さらに、この同期捕捉回路は、符号同期の確立の他、マルチパスの分離という機能も合わせもつため、1 チップ時間の $1/N$ の精度でマルチパスを分離することも可能となる。

【0034】なお、上述の実施形態においては、相関器制御部 3 において $1/N$ チップ時間ずつ位相のずれた K 個の相関開始/終了信号 (Start/End) を生成し、対応する相関器 0 ~ K - 1 に供給する場合について述べたが、全ての相関器 0 ~ K - 1 に初段の相関器 0 に与えるのと同じ相関開始/終了信号 (Start/End0) を与えるようにしても良い。

【0035】ただし、この場合には、符号発生器 2 の初期リセット後の出力が、全ての相関器 0 ~ K - 1 に入力されるまで待機する必要があるが、同期捕捉に要する時間は実施形態の場合と同じとなる。

【0036】また、上述の実施形態においては、相関器に入力する受信信号として多重サンプリングしたのを用いる場合について述べたが、多重サンプリングされていないものについて相関値を算出することもできる。

【0037】また、上述の実施形態においては、CDMA 方式を採用する移動通信システムの受信機を前提に説明したが、通信データを拡散変調して伝送する方式の通信システムであれば適用可能であり、固定局間での通信にも適用できる。

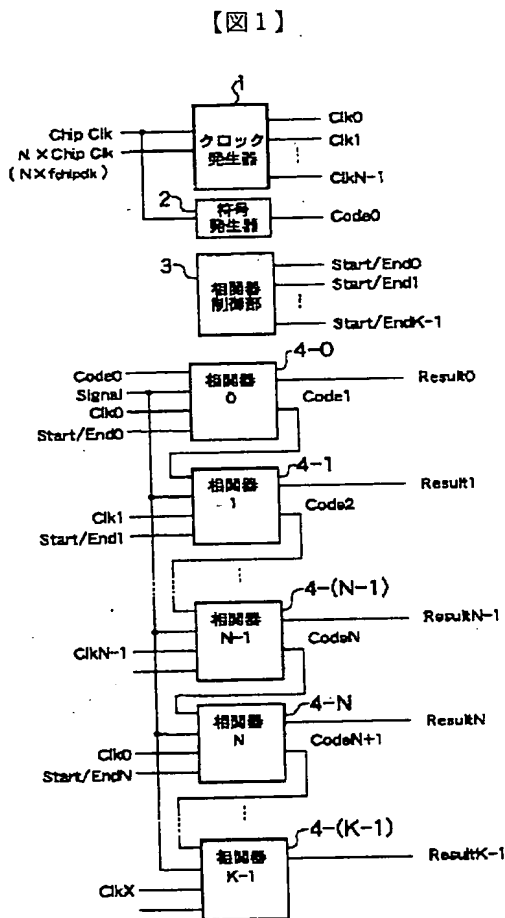
【0038】

【発明の効果】上述のように、本発明における同期捕捉

回路においては、基準位相に基づいて1個の拡散符号を発生する拡散符号発生器と、拡散符号発生器で発生された拡散符号を順次直列転送して、初段からの段数分位相が遅延された拡散符号を生成し、その拡散符号と全段に並列に入力される受信信号との相関出力を各段ごとに算出する複数の相関器とを備え、受信信号との相関出力の算出と並行して位相の異なる複数の拡散符号を生成できるようにしたことにより、同期捕捉に要する時間の短縮と、装置の小型化を実現できる。

【図面の簡単な説明】

【図1】実施形態に係る同期捕捉回路の構成例を示すブロック図である。



【図2】従来装置の同期捕捉時間を示す図である。

【図3】クロック発生器が発生するクロックの位相関係を示す図である。

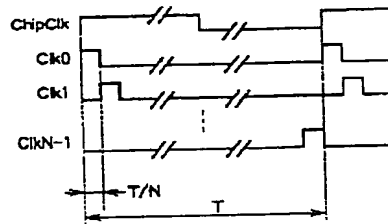
【図4】各相関器における動作タイミングを示す図である。

【図5】実施形態に係る同期捕捉回路の同期捕捉時間を示す図である。

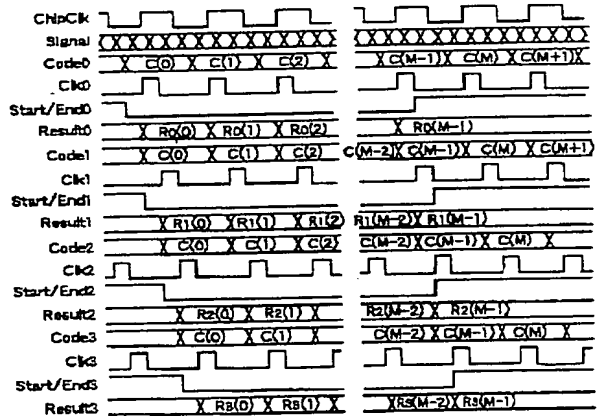
【符号の説明】

1…クロック発生器、2…符号発生器、3…相関器制御部、4-0~4-(K-1)…相関器、Code…拡散符号、Start/End…相関開始/終了信号。

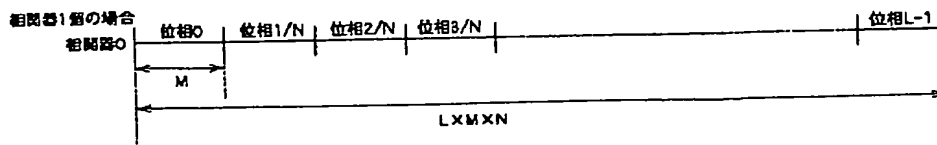
【図3】



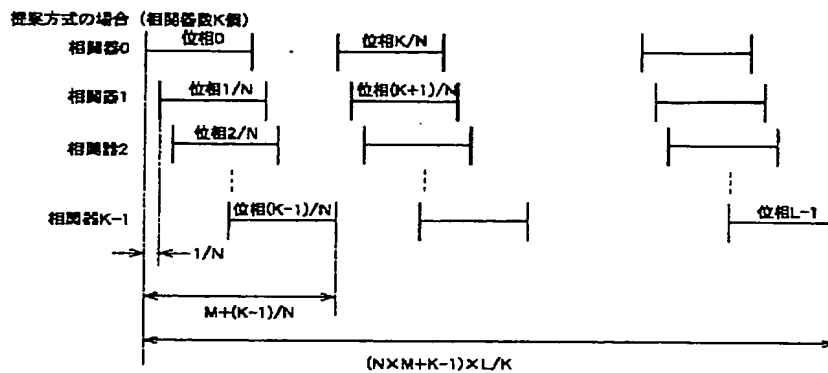
【図4】



【図2】



【図5】



フロントページの続き

Fターム(参考) 5K022 EE02 EE36
 5K047 AA02 AA16 BB01 GG34 HH15
 5K067 AA14 AA42 CC00 CC10 DD25
 EE02 GG11 HH21

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.